

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re U.S. Patent Application of )  
)  
TAKAZAWA et al. )  
)  
Application Number: To be Assigned )  
)  
Filed: Concurrently Herewith )  
)  
For: SEMICONDUCTOR INTEGRATED CIRCUIT AND IC )  
CARD )  
)  
ATTORNEY DOCKET NO. HITA.0485 )

Honorable Assistant Commissioner  
for Patents  
Washington, D.C. 20231

**REQUEST FOR PRIORITY  
UNDER 35 U.S.C. § 119  
AND THE INTERNATIONAL CONVENTION**

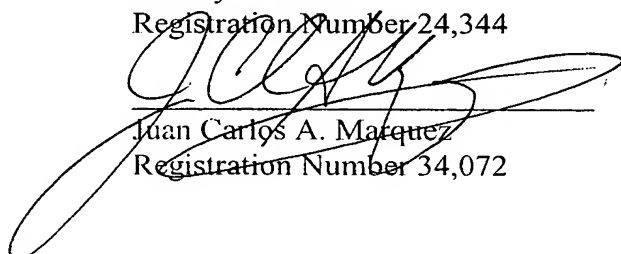
Sir:

In the matter of the above-captioned application for a United States patent, notice is hereby given that the Applicant claims the priority dates of January 24, 2003 and October 30, 2003, the filing dates of the corresponding Japanese patent applications 2003-016573 and 2003-370078, respectively.

Certified copies of Japanese patent applications 2003-016573 and 2003-370078 are being submitted herewith. Acknowledgment of receipt of the certified copies is respectfully requested in due course.

Respectfully submitted,

\_\_\_\_\_  
Stanley P. Fisher  
Registration Number 24,344

  
\_\_\_\_\_  
Juan Carlos A. Matquez  
Registration Number 34,072

**REED SMITH LLP**  
3110 Fairview Park Drive  
Suite 1400  
Falls Church, Virginia 22042  
(703) 641-4200  
**December 31, 2003**

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日            2 0 0 3 年   1 月 2 4 日  
Date of Application:

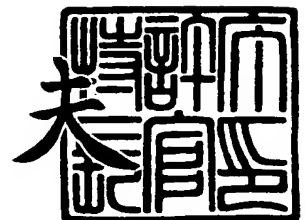
出 願 番 号            特 願 2 0 0 3 - 0 1 6 5 7 3  
Application Number:  
[ST. 10/C] :            [ J P 2 0 0 3 - 0 1 6 5 7 3 ]

出 願 人            株式会社ルネサステクノロジ  
Applicant(s):        株式会社日立超エル・エス・アイ・システムズ

2 0 0 3 年 1 0 月 2 2 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康



出証番号   出証特 2 0 0 3 - 3 0 8 6 9 8 3

【書類名】 特許願

【整理番号】 H02017101

【提出日】 平成15年 1月24日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 11/34

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立製作所 半導体グループ内

【氏名】 高沢 義生

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立製作所 半導体グループ内

【氏名】 山田 利夫

【発明者】

【住所又は居所】 東京都小平市上水本町 5 丁目 2 2 番 1 号 株式会社日立超エル・エス・アイ・システムズ内

【氏名】 山内 宏道

【発明者】

【住所又は居所】 東京都小平市上水本町 5 丁目 2 2 番 1 号 株式会社日立超エル・エス・アイ・システムズ内

【氏名】 荒木 俊祐

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

【特許出願人】

【識別番号】 000233169

【氏名又は名称】 株式会社日立超エル・エス・アイ・システムズ

## 【代理人】

【識別番号】 100089071

【弁理士】

【氏名又は名称】 玉村 静世

【電話番号】 03-5217-3960

## 【手数料の表示】

【予納台帳番号】 011040

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路及び IC カード

【特許請求の範囲】

【請求項 1】 アクティブ状態又はスタンバイ状態を採り得るメモリを有し

、  
前記メモリはメモリセルが接続されるビット線とソース線に対する電位形成回路を有し、

前記電位形成回路は、前記アクティブ状態からスタンバイ状態への指示に応答して前記ビット線とソース線の電位を等しくし、前記スタンバイ状態からアクティブ状態への指示に応答して前記ビット線とソース線との間に電位差を形成することを特徴とする半導体集積回路。

【請求項 2】 前記電位形成回路は前記アクティブ状態からスタンバイ状態への指示に応答して前記ソース線の電位をビット線のプリチャージ電位に等しくすることを特徴とする請求項 1 記載の半導体集積回路。

【請求項 3】 前記電位形成回路は前記アクティブ状態からスタンバイ状態への指示に応答して前記ビット線の電位をソース線のディスチャージ電位に等しくすることを特徴とする請求項 1 記載の半導体集積回路。

【請求項 4】 前記電位形成回路は、前記スタンバイ状態からアクティブ状態への指示に応答してソース線をディスチャージし、段階的にディスチャージ速度が速くなるようにその電流供給能力が変化されることを特徴とする請求項 2 記載の半導体集積回路。

【請求項 5】 中央処理装置と前記中央処理装置によりアクセス可能なメモリとを有し、アクティブ状態又はスタンバイ状態を採り得る半導体集積回路であって、

前記メモリは、ビット線とソース線に接続されたメモリセルを有し、前記スタンバイ状態において前記ビット線とソース線の電位を等しくし、前記アクティブ状態において前記ビット線とソース線に電位差を形成可能になることを特徴とする半導体集積回路。

【請求項 6】 前記スタンバイ状態において前記中央処理装置は命令実行を

停止し、メモリはアクセス動作を停止することを特徴とする請求項 5 記載の半導体集積回路。

【請求項 7】 前記前記アクティブ状態からスタンバイ状態への指示と、スタンバイ状態からアクティブ状態への指示は外部制御信号によって与えられることを特徴とする請求項 6 記載の半導体集積回路。

【請求項 8】 前記アクティブ状態からスタンバイ状態への指示は中央処理装置による所定の命令実行に基いて与えられ、前記スタンバイ状態からアクティブ状態への指示は割込みにより与えられることを特徴とする請求項 6 記載の半導体集積回路。

【請求項 9】 アクティブ状態又はスタンバイ状態を採り得るメモリと、前記メモリをアクセス可能な中央処理装置とを有する半導体集積回路であって、

前記メモリは、ビット線とソース線に接続されたメモリセルを有し、前記スタンバイ状態において前記ソース線をビット線のプリチャージ電位に等しくし、前記アクティブ状態においてソース線をディスチャージ電位にすることを特徴とする半導体集積回路。

【請求項 10】 アクティブ状態又はスタンバイ状態を採り得るメモリと、前記メモリをアクセス可能な中央処理装置とを有する半導体集積回路であって、

前記メモリは、ビット線とソース線に接続されたメモリセルを有し、前記スタンバイ状態において前記ビット線をソース線のディスチャージ電位に等しくし、前記アクティブ状態においてビット線をプリチャージ電位にすることを特徴とする半導体集積回路。

【請求項 11】 前記メモリのスタンバイ状態に並行して前記中央処理装置は命令実行を停止する状態にされ、前記スタンバイ状態と前記命令実行を停止する状態は割込み又は外部制御信号に基いて解除可能にされることを特徴とする請求項 9 又は 10 記載の半導体集積回路。

【請求項 12】 中央処理装置と前記中央処理装置によりアクセス可能なメモリとを有する半導体集積回路であって、

前記メモリは、第 1 回路が接続されたビット線と、第 2 回路が接続されたソース線と、前記ビット線とソース線に接続され選択端子がワード線に接続されたメ

・メモリセルとを有し、

前記半導体集積回路は前記メモリのアクセス動作と中央処理装置のデータ処理動作とを可能とする第1状態と、前記メモリのアクセス動作と中央処理装置のデータ処理動作とを不可能とする第2状態とを選択可能であり、

第1状態において前記第1回路はビット線をチャージし第2回路はソース線をディスチャージし、前記第2状態において前記第1回路はビット線をチャージし第2回路はソース線をチャージすることを特徴とする半導体集積回路。

【請求項13】 中央処理装置と前記中央処理装置によりアクセス可能なメモリとを有する半導体集積回路であって、

前記メモリは、第1回路が接続されたビット線と、第2回路が接続されたソース線と、前記ビット線とソース線に接続され選択端子がワード線に接続されたメモリセルとを有し、

前記半導体集積回路は前記メモリのアクセス動作と中央処理装置のデータ処理動作とを可能とする第1状態と、前記メモリのアクセス動作と中央処理装置データ処理動作とを不可能とする第2状態とを選択可能であり、

第1状態において前記第1回路はビット線をチャージし第2回路はソース線をディスチャージし、前記第2状態において前記第1回路はビット線をディスチャージし第2回路はソース線をディスチャージすることを特徴とする半導体集積回路。

【請求項14】 前記ディスチャージの到達レベルは回路の接地電位であり、前記ワード線の非選択レベルは回路の接地電位であることを特徴とする請求項12又は13記載の半導体集積回路。

【請求項15】 前記第1状態において前記第1回路は読み出し対象にされるビット線のチャージ動作を停止することを特徴とする請求項12又は13記載の半導体集積回路。

【請求項16】 カード基板に半導体集積回路と前記半導体集積回路に接続された外部インタフェース部とを搭載したICカードであって、

前記半導体集積回路は、中央処理装置と前記中央処理装置によりアクセス可能なメモリとを有し、

前記メモリは、ビット線とソース線に接続されたメモリセルを有し、前記半導体集積回路の低消費電力状態において前記ビット線とソース線の電位を等しくすることを特徴とする IC カード。

【請求項 17】 前記メモリはマスク ROM であることを特徴とする請求項 16 記載の IC カード。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、メモリを備えた半導体集積回路、特にスタンバイ状態のような低消費電力状態におけるメモリセルのリーク電流を低減する技術に関し、例えば大容量の ROM を備えたマイクロコンピュータに適用して有効な技術に関する。

【0002】

【従来の技術】

DRAM のアクティブ時とスタンバイ時で周辺回路の基板バイアス電圧を相違させることにより、メモリ周辺回路におけるスタンバイ時のサブスレッショルドリークを抑制して消費電力を低減しつつアクセス遅延の増大を防止する技術がある（特許文献 1 参照）。

【0003】

また、メモリのアクティブ時におけるアクセス非選択に係るメモリセルのビット線とソース線をビット線電位とすることにより、アクセス非選択に係るメモリセルのサブスレッショルドリークを抑制する技術がある（特許文献 2 参照）。

【0004】

【特許文献 1】

特開平 8-83487 号公報

【特許文献 2】

特開平 4-74395 号公報

【0005】

【発明が解決しようとする課題】

本発明者はスタンバイ状態でメモリアレイに生ずるリーク電流について検討し



た。例えばマスクROMはメモリセルとビット線のコンタクトの有無、或はメモリセルトランジスタの拡散層の有無等により情報が記憶されている。記憶情報の読み出し動作ではプリチャージされているビット線の電荷がメモリセルを介してソース線に引き抜かれるか否かを判定する。回路素子の微細化と動作電源の低電圧化によりゲート非選択のMOSトランジスタであってもドレイン・ソース間にサブスレッショルドリーク電流を生ずる。したがってスタンバイ状態であってもビット線プリチャージによりメモリセルのドレイン・ソース間に電位差が形成されていればサブスレッショルドリークによる無駄な電力消費を生ずる。マイクロコンピュータの用途によっては大半スタンバイ状態で処理待ち状態にされるものがある。送受信データや転送データに対するデータ処理を引き受けるような機器制御用途である。このような用途なども考慮すれば、オンチップの大容量メモリに対しスタンバイ状態でもサブスレッショルドリーク電流を抑制することの重要性が本発明者によって認識された。

#### 【0006】

特許文献1はスタンバイ状態におけるサブスレッショルドリークの抑制という観点に立っているが、チップ面積の大部分を占めるメモリセルアレイではなく周辺回路に対するものであり、低消費電力化を企図する対象が相違する。しかも、特許文献1の技術は閾値電圧制御であり、基準電圧発生回路、基板バイアス発生回路、及び電源端子と基板バイアス端子とを選択的に接続するトランジスタなど、比較的多くの付帯回路を必要とする。

#### 【0007】

特許文献2の技術は、メモリのアクティブ時におけるアクセス非選択に係るメモリセルのビット線とソース線をビット線電位とすることにより、アクティブ時における無駄な電力消費を低減できるが、アクセス速度が遅くなる虞がある。要するに、アクセス非選択から選択になるソース線に対して読出し動作の開始前にデイスチャージしなければならない、当該デイスチャージ動作の完了を待つ分だけ読出し動作サイクルが長くなってしまう。

#### 【0008】

本発明の目的は、回路を複雑化することなく、スタンバイ状態においてメモリ

で無駄に消費される電力を低減できる半導体集積回路を提供することにある。

【0 0 0 9】

本発明の別の目的は、メモリのデータ読出し動作速度を遅くすることなく、スタンバイ時にメモリで無駄に消費される電力を低減できる半導体集積回路を提供することにある。

【0 0 1 0】

本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【0 0 1 1】

【課題を解決するための手段】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【0 0 1 2】

〔1〕本発明の第1の観点による半導体集積回路は、アクティブ状態又はスタンバイ状態を採り得るメモリを有し、前記メモリはメモリセルが接続されるビット線とソース線に対する電位形成回路（19，20，21，22）を有する。前記電位形成回路は、前記アクティブ状態からスタンバイ状態への指示に応答して前記ビット線とソース線の電位を等しくし、前記スタンバイ状態からアクティブ状態への指示に応答して前記ビット線とソース線との間に電位差を形成する。

【0 0 1 3】

上記手段によれば、スタンバイ状態において前記ビット線とソース線の電位が等しくされるから、メモリセルにはソース・ドレイン間のサブスレッショルドリークを一切生じない。アクティブ状態では前記ビット線とソース線との間に電位差が形成され、メモリセルの選択・非選択に応じて前記ビット線とソース線との間に電位差を形成するような制御手法を採用しないからメモリのデータ読出し動作速度も遅くならない。

【0 0 1 4】

第1の観点による本発明の具体的な形態として、前記電位形成回路は前記アクティブ状態からスタンバイ状態への指示に応答して前記ソース線の電位をビット

線のプリチャージ電位に等しくする。ソース線はアクティブ状態においてディスチャージレベルにされていればよく、途中で電位を変更する必要もないから、スタンバイ時にソース線をビット線のプリチャージ電位に等しくする回路を設けてもアクティブ状態における動作に与える影響はほとんど無く、その回路構成は簡素で済む。換言すれば、従来回路に本発明を適用する場合に、ビット線周りに新たな回路を追加することを要しないため、ビット線周りに負荷変動を生ぜず、再設計の手間を少なくすることができる。

#### 【0015】

第1の観点による本発明の具体的な別の形態として、前記電位形成回路は前記アクティブ状態からスタンバイ状態への指示に応答して前記ビット線の電位をソース線のディスチャージ電位に等しくする。スタンバイ状態においてソース線及びビット線がソース線のディスチャージ電位に等しくなれば、このとき、メモリセルの選択端子に接続するワード線もソース線ディスチャージ電位のような非選択レベルにされるのでゲート・ドレイン又はゲート・ソース間のリーク電流も生じない。但し、ビット線周りに、スタンバイ状態でビット線ディスチャージの回路構成が付加されるため、従来回路にこれを適用する場合には、ビット線周りの負荷変動を小さく抑える工夫や、動作タイミングマージンの見直しなどが必要になると予想され、スタンバイ時にソース線をビット線プリチャージレベルにチャージする構成に比べて再設計の手間が多くなると予想される。

#### 【0016】

上記スタンバイ時にソース線をビット線のプリチャージ電位に等しくする電位形成回路を採用する場合、前記電位形成回路は、前記スタンバイ状態からアクティブ状態への指示に応答してソース線をディスチャージし、段階的にディスチャージ速度が速くなるようにその電流供給能力が変化されるようにするのが望ましい。本来ソース線にはアクティブ状態で選択されたメモリセルに流れる電流を引き込む能力があれば十分であるから、そのようなソース線に一度に多くのメモリセルから電流が集中的に流れないようにするためである。比較的大きなノイズの発生を防止することができる。

#### 【0017】

〔2〕本発明の第2の観点による半導体集積回路は、中央処理装置と前記中央処理装置によりアクセス可能なメモリとを有し、アクティブ状態又はスタンバイ状態を採り得る。前記メモリは、ビット線とソース線に接続されたメモリセルを有し、前記スタンバイ状態において前記ビット線とソース線の電位を等しくし、前記アクティブ状態において前記ビット線とソース線に電位差を形成可能にされる。

#### 【0018】

上記手段によれば、スタンバイ状態において前記ビット線とソース線の電位が等しくされるから、メモリセルにはソース・ドレイン間のサブスレッショルドリークを生じない。アクティブ状態では前記ビット線とソース線との間に電位差が形成され、メモリセルの選択・非選択に応じて前記ビット線とソース線との間に電位差を形成するような手法を採用しないからメモリのデータ読出し動作速度も遅くならない。

#### 【0019】

第2の観点による本発明の具体的な形態として、前記スタンバイ状態において前記中央処理装置は命令実行を停止し、メモリはアクセス動作を停止する。

#### 【0020】

第2の観点による本発明の具体的な別の形態として、前記前記アクティブ状態からスタンバイ状態への指示と、スタンバイ状態からアクティブ状態への指示は外部制御信号によって与えられる。また、前記アクティブ状態からスタンバイ状態への指示は中央処理装置による所定の命令実行に基いて与えられ、前記スタンバイ状態からアクティブ状態への指示は割込みにより与えられるようにしてもよい。

#### 【0021】

〔3〕本発明の第3の観点による半導体集積回路は、アクティブ状態又はスタンバイ状態を採り得るメモリと、前記メモリをアクセス可能な中央処理装置とを有する。前記メモリは、ビット線とソース線に接続されたメモリセルを有し、前記スタンバイ状態において前記ソース線をビット線のプリチャージ電位に等しくし、前記アクティブ状態においてソース線をディスチャージ電位にする。スタン

- ・ バイ状態において前記ビット線とソース線の電位がビット線プリチャージ電位に等しくされるから、メモリセルにはソース・ドレイン間のサブスレッショルドリークを一切生じない。アクティブ状態では前記ビット線とソース線との間に電位差が形成され、メモリセルの選択・非選択に応じて前記ビット線とソース線との間に電位差を形成するような制御手法を採用しないからメモリのデータ読出し動作速度も遅くならない。ソース線はアクティブ状態においてディスチャージレベルにされていればよく、途中で電位を変更する必要もないから、スタンバイ時にソース線をビット線のプリチャージ電位に等しくする回路を設けてもアクティブ状態における動作に与える影響はほとんど無く、その回路構成は簡素で済む。

#### 【0022】

本発明の第4の観点による半導体集積回路は、アクティブ状態又はスタンバイ状態を採り得るメモリと、前記メモリをアクセス可能な中央処理装置とを有する。前記メモリは、ビット線とソース線に接続されたメモリセルを有し、前記スタンバイ状態において前記ビット線をソース線のディスチャージ電位に等しくし、前記アクティブ状態においてビット線をプリチャージ電位にする。スタンバイ状態において前記ビット線とソース線の電位がソース線ディスチャージ電位に等しくされるから、メモリセルにはソース・ドレイン間のサブスレッショルドリークを一切生じない。アクティブ状態では前記ビット線とソース線との間に電位差が形成され、メモリセルの選択・非選択に応じて前記ビット線とソース線との間に電位差を形成するような制御手法を採用しないからメモリのデータ読出し動作速度も遅くならない。スタンバイ状態においてソース線及びビット線がソース線のディスチャージ電位に等しくなれば、このとき、メモリセルの選択端子に接続するワード線もソース線ディスチャージ電位のような非選択レベルにされるのでゲート・ドレイン又はゲート・ソース間のリーク電流も生じない。

#### 【0023】

上記第3の観点及び第4の観点による本発明の具体的な形態として、前記メモリのスタンバイ状態に並行して前記中央処理装置は命令実行を停止する状態にされ、前記スタンバイ状態と前記命令実行を停止する状態は割込み又は外部制御信号に基いて解除可能にされる。

## 【0024】

〔4〕本発明の第5の観点による半導体集積回路は、中央処理装置と前記中央処理装置によりアクセス可能なメモリとを有する。前記メモリは、第1回路が接続されたビット線と、第2回路が接続されたソース線と、前記ビット線とソース線に接続され選択端子がワード線に接続されたメモリセルとを有する。前記半導体集積回路は前記メモリのアクセス動作と中央処理装置のデータ処理動作とを可能とする第1状態と、前記メモリのアクセス動作と中央処理装置のデータ処理動作とを不可能とする第2状態とを選択可能である。第1状態において前記第1回路はビット線をチャージし第2回路はソース線をディスチャージし、前記第2状態において前記第1回路はビット線をチャージし第2回路はソース線をチャージする。

## 【0025】

本発明の第6の観点による半導体集積回路は、中央処理装置と前記中央処理装置によりアクセス可能なメモリとを有する。前記メモリは、第1回路が接続されたビット線と、第2回路が接続されたソース線と、前記ビット線とソース線に接続され選択端子がワード線に接続されたメモリセルとを有する。前記半導体集積回路は前記メモリのアクセス動作と中央処理装置のデータ処理動作とを可能とする第1状態と、前記メモリのアクセス動作と中央処理装置データ処理動作とを不可能とする第2状態とを選択可能である。第1状態において前記第1回路はビット線をチャージし第2回路はソース線をディスチャージし、前記第2状態において前記第1回路はビット線をディスチャージし第2回路はソース線をディスチャージする。

## 【0026】

例えば前記第1状態は半導体集積回路のアクティブ状態、第2状態は半導体集積回路のスタンバイ状態である。

## 【0027】

上記第5の観点及び第6の観点による本発明の具体的な形態として、前記ディスチャージの到達レベルは回路の接地電位であり、前記ワード線の非選択レベルは回路の接地電位である。

## 【0028】

上記第5の観点及び第6の観点による本発明の具体的な形態として、前記第1状態において前記第1回路は読み出し対象にされるビット線のチャージ動作を停止する。

## 【0029】

〔5〕本発明のICカードは、カード基板に半導体集積回路と前記半導体集積回路に接続された外部インタフェース部とを搭載する。前記半導体集積回路は、中央処理装置と前記中央処理装置によりアクセス可能なメモリとを有する。前記メモリは、ビット線とソース線に接続されたメモリセルを有し、前記半導体集積回路の低消費電力状態において前記ビット線とソース線の電位を等しくする。前記メモリは例えばマスクROMである。

## 【0030】

## 【発明の実施の形態】

図1には本発明に係る半導体集積回路の一例としてマイクロコンピュータが示される。同図に示されるマイクロコンピュータ1は、例えばCMOS集積回路製造技術により単結晶シリコンのような1個の半導体基板（半導体チップ）に形成される。マイクロコンピュータ1は動作電源として電源電圧VCCと回路の接地電圧VSSを受ける。

## 【0031】

マイクロコンピュータ1は、中央処理装置（CPU）2、CPU2の動作プログラムなどを保有するリードオンリメモリ（ROM）3、前記CPU2のワーク領域などに利用されるランダムアクセスメモリ（RAM）4、外部バスなどに接続されるI/Oポート5、タイマ等の周辺回路6、バスコントローラ（SSC）7、クロック発生回路（CPG）8、及びシステムコントローラ9を有する。

## 【0032】

前記CPU2は例えばROM3からフェッチした命令を解読して命令実行を制御する命令制御部と、命令制御部の制御にしたがってオペランドアクセスや演算等を行う演算部から成る。前記バスコントローラ7はCPU2のアクセスアドレスにしたがってアクセスサイクル数や並列データビット数等のバス制御を行う。

前記システムコントローラ 9 はリセット信号 R E S、スタンバイ信号 S T B、割込み信号 I R Q等を入力して動作モードの制御や割込み制御を行う。クロックパルスジェネレータ 8 は外部クロック信号 C L Kを受けて内部クロック信号 C Kを生成する。マイクロコンピュータ 9 1 は内部クロック信号 C Kに同期動作される。マイクロコンピュータ 9 1 はリセット信号 R E Sによってリセット動作が指示されると内部が初期化され、リセット解除により C P U 2 は R O M 3 のプログラムの先頭番地から命令実行を開始する。

#### 【0033】

前記マイクロコンピュータ 1 は、スタンバイ状態とアクティブ状態を有する。アクティブ状態とはクロック信号 C Kに同期して C P U 2 がデータ処理可能であって R O M 3 及び R A M 4 が C P U 2 などによりアクセス動作可能にされる状態である。特に制限されないが、マイクロコンピュータ 1 はリセット解除後はアクティブ状態にされる。前記スタンバイ状態は、特に制限されないが、外部制御信号であるスタンバイ信号 S T Bによって指示される。或は C P U 2 がシステムコントローラ 9 のスタンバイフラグ（図示せず）をセットすることによって指示される。前記スタンバイ状態は前記 C P U 2 及び R O M 3 等の動作が停止される状態、要するに、C P U 2 がデータ処理不可能であって R O M 3 等が C P U 2 によりアクセス動作不可能にされる状態である。スタンバイ状態は待機状態若しくは低消費電力状態とも称され、更に詳細には、例えば、C P G 8 のクロック発生動作停止、C P U 2 の動作停止（内部レジスタの内容は保持）、R A M 4 の記憶情報保持、周辺回路 6 の動作停止、R O M 3 の動作停止の状態とされる。マイクロコンピュータ 1 のスタンバイ状態（チップスタンバイ状態とも称する）は R O M 3 の動作停止状態、即ち、R O M 3 のスタンバイ状態でもある。

#### 【0034】

前記 R O M 3 は前記 C P U 2 の動作プログラム及びデータテーブルなどを保有する大容量を有し、マスク R O Mによって構成される。よって、マイクロコンピュータ 1 のスタンバイ状態における低消費電力を考えたとき、動作停止状態にされる R O M 3 で無駄に消費される電力、例えばリーク電流による電力消費を減らすことが重要になる。この観点にしたがって前記 R O M、特に R O M 3 の動作停



止状態について詳述する。スタンバイ信号 S T B 或は図示を省略するスタンバイフラグによりマイクロコンピュータ 1 がスタンバイ状態にされるとき、システムコントローラ 9 は R O M 3 の動作を停止し、制御信号 s t b 1、s t b 2 により R O M 3 の状態を制御する。R O M 3 の動作停止は、クロック信号 C K の停止、R O M のモジュール非選択により実現される。制御信号 s t b 1、s t b 2 は後述するリーク電流抑制に利用される。R O M 3 のモジュール選択は C P U 2 の命令実行に基いて行なわれる。例えばバスコントローラ 7 が C P U 2 の出力アドレスをデコードして R O M 3 にモジュール選択信号を出力する。マイクロコンピュータ 1 のスタンバイ状態において C P U 2 が動作を停止すれば R O M 3 はモジュール非選択状態にされる。

### 【0035】

図 2 には前記 R O M 3 の一例が示される。メモリアレイ 11 は情報記憶を行う多数のメモリセルを有する。特に制限されないが、メモリセル M C i、M C j は n チャンネル型 M O S トランジスタで構成され、ドレインとビット線のコンタクトの有無、即ちコンタクトホールによりドレインがビット線に接続されているか否かで記憶情報の論理値“1”、“0”が決定される。特に図示はしないが、ソース・ドレインの拡散領域の有無によって情報記憶を行う記憶形式のメモリセルであってもよい。代表的に示されたメモリセル M C i はコンタクトを有し、代表的に示されたメモリセル M C j はコンタクトを有しない。メモリセル M C i、M C j のソースはソース線 S L に接続され、選択端子であるゲートはワード線 W L に接続される。ロウデコーダ 13 はロウアドレス信号 R A D R をデコードしてワード線選択信号を形成する。ビット線 B L はカラムスイッチ回路 15 を介してグローバルビット線（共通データ線とも称する）G B L に接続される。カラムデコーダ 14 はカラムアドレス信号 C A D R をデコードしてカラムスイッチ回路 15 によるビット線選択信号を生成する。カラムスイッチ回路 15 により選択されたビット線 B L はグローバルビット線 G B L に導通される。グローバルビット線 G B L にはセンスアンプ 16 が設けられ、グローバルビット線 G B L に出力される記憶情報を検出して増幅する。センスアンプ 16 の出力は出力ラッチ 17 にラッチされ、外部に出力される。外部出力データは D A T として図示される。タイミ

- ・ングコントローラ 18 はクロック信号 CK 及び ROM 3 のモジュール選択信号 BS を入力し内部タイミング信号を生成する。モジュール選択信号 BS は、特に制限されないが、バスコントローラ 7 が出力する。電位形成回路 19 はビット線 BL 及びソース線 SL に対するプリチャージ及びディスチャージを行う回路である。

#### 【0036】

図 3 にはメモリアレイ 11 と電位形成回路 19 の詳細として、グローバルビット線 GBL 1 ビット分の構成を部分的に例示する。

#### 【0037】

同図では代表的に示されたビット線 BL 1, BL 2 及びソース線 SL が X 方向に敷設され、Y 方向に代表的に示されたワード線 WL 1, WL 2 が設けられる。ビット線 BL 1 には代表的に示されたメモリセル MC i のドレインが接続され、そのソースが対応するソース線 SL に接続される。代表的に示されたメモリセル MC j のドレインはビット線 BL 2 には接続されず、そのソースが対応するソース線 SL に接続される。ビット線 BL 1 はカラムスイッチ CSW 1 を介してグローバルビット線 GBL に、ビット線 BL 2 はカラムスイッチ CSW 2 を介してグローバルビット線 GBL に導通可能にされる。代表的に示されたビット線選択信号 YS 1 はカラムスイッチ CSW 1 をスイッチ制御し、代表的に示されたビット線選択信号 YS 2 はカラムスイッチ CSW 2 をスイッチ制御する。ビット線選択信号 YS 1, YS 2 は、カラムアドレス信号で指定されるビット線に対応するものが論理値 “1” にされる。前記カラムスイッチ CSW 1, CSW 2 は n チャンネル型 MOS トランジスタで構成されるが、これを CMOS トランスファゲートで構成しても差し支えない。代表的に示されたカラムスイッチ CSW 1, CSW 2 は前記カラムスイッチ回路 15 を構成する。

#### 【0038】

前記電位形成回路 19 は、プリチャージ回路 20 とチャージ・ディスチャージ回路 21 によって構成される。プリチャージ回路 20 は BL 1, BL 2 で代表されるビット線毎に設けられ、p チャンネル型のプリチャージ MOS トランジスタ MP 1 を有し、ビット線選択信号 YS 1 (YS 2) によってスイッチ制御される

前記プリチャージMOSトランジスタMP1により選択的にビット線BL1 (BL2) を電源電圧VCCにプリチャージ可能にされる。これにより、プリチャージ回路20はビット線選択信号によるビット線非選択状態(ビット線選択信号YS1, YS2=0 (ローレベル)) のときにプリチャージを行い、ビット線選択信号によるビット線選択状態(ビット線選択信号YS1, YS2=1 (ハイレベル)) ではプリチャージ動作を停止する。

#### 【0039】

前記チャージ・ディスチャージ回路21は、直列2段のpチャンネル型MOSトランジスタMP2, MP3と並列2段のnチャンネル型MOSトランジスタMN1, MN2によって構成され、内部スタンバイ信号stb1, stb2の2入力に対してソース線SL, GSLをNOR (ノア) 論理で駆動する。前記チャージ・ディスチャージ回路21は、特に制限されないが8本毎にソース線が共通接続されるソース線GSL毎に1個配置される。

#### 【0040】

前記内部スタンバイ信号stb1, stb2は、マイクロコンピュータ1のスタンバイ状態においてローレベルにされ、マイクロコンピュータ1がスタンバイ状態からアクティブ状態に変化されるとき、最初に内部スタンバイ信号stb1がハイレベルにされ、その後に内部スタンバイ信号stb2がハイレベルにされる。

#### 【0041】

内部スタンバイ信号stb1, stb2をゲートに受ける前記MOSトランジスタMP2, NP3はマイクロコンピュータ1がスタンバイ状態に遷移するとき、ソース線を電源電圧VCCにチャージする。これにより、マイクロコンピュータ1のスタンバイ状態においてBL1, BL2で代表される全てのビット線とSL, GSLで代表される全てのソース線が電源電圧VCCにされる。これによりメモリセルMCiのソース・ドレイン間に電位差が形成されず、その間のサブスレッショルドリークを生じない。

#### 【0042】

内部スタンバイ信号stb1をゲートに受ける前記MOSトランジスタMN1

は相対的にゲート長が長くオン抵抗の比較的大きなトランジスタとされる。これに対し、内部スタンバイ信号  $s_{tb2}$  をゲートに受ける前記 MOS トランジスタ MN2 は MOS トランジスタ MN1 よりもゲート長の短いその他大多数の n チャンネル型 MOS トランジスタと同じトランジスタとされる。これにより、マイクロコンピュータ 1 がアクティブ状態に遷移するとき、ソース線のデイスチャージ速度は最初遅く、後から速くされる。これにより、一度に全てのソース線から接地電圧配線に電流が流れ込まないようにされ、接地電圧配線のマイグレーションによる断線や大きな電源ノイズの発生を抑止することができる。

#### 【0043】

図 4 には ROM の動作タイミングが例示される。図 4 においてマイクロコンピュータ 1 のスタンバイ状態（チップスタンバイ状態）はその確定状態からスタンバイ解除遷移状態を経てアクティブ状態に遷移する。マイクロコンピュータ 1 のスタンバイ状態においてクロック信号 CK は停止され、ROM3 に対するモジュール選択信号 BS は非選択状態にされ、内部スタンバイ信号  $s_{tb1}$ ,  $s_{tb2}$  はローレベルにされている。これにより、ROM3 の動作は停止され、ビット線 BL1, BL2 とソース線 SL は共に電源電圧 VCC にチャージされ、ROM3 のメモリアレイ 11 においてメモリセルのドレイン・ソース間のサブスレッショルドリークの発生が阻止されている。

#### 【0044】

時刻  $t_1$  にスタンバイ信号 STB によりマイクロコンピュータ 1 のスタンバイ状態に対する解除が指示される。これにより CPG8 の動作は再開され、ROM3 では内部スタンバイ信号  $s_{tb1}$  がハイレベルに変化され、その後例えばクロック信号 CK の数サイクル遅れで内部スタンバイ信号  $s_{tb2}$  がハイレベルに変化される。これにより、ソース線 SL の電位は時刻  $t_1 \sim t_2$  までは比較的緩やかな速度でデイスチャージされ、その後の時刻  $t_2$  以降は比較的速くデイスチャージされる。チップスタンバイ解除遷移状態を過ぎると、ソース線 SL は接地電位 VSS、ビット線 BL1, BL2 は電源電圧 VCC のチャージ状態を採る。この後、モジュール選択信号 BS により ROM3 のモジュール選択が行われてアドレス信号が与えられると、例えばワード線 WL1 が選択され、ビット線選択信号

- ・ Y S 1 によりビット線 B L 1 が選択され、選択されたビット線 B L 1 とワード線 W L 1 に接続するメモリセルがドレインコンタクトを持つ場合にはビット線 B L 1 から当該メモリセルトランジスタを介してチャージ電流が接地電圧 V S S に引き込まれる。次に、ワード線 W L 2 が選択され、ビット線選択信号 Y S 2 によりビット線 B L 2 が選択され、選択されたビット線 B L 2 とワード線 W L 2 に接続するメモリセルがドレインコンタクトを持たない場合にはビット線 B L 2 のプリチャージ電荷が維持される。

#### 【0045】

マイクロコンピュータ 1 のスタンバイ状態においてビット線とソース線は共に電源電圧 V C C にチャージされ、R O M 3 のメモリアレイ 1 1 においてメモリセルのドレイン・ソース間のサブスレッショルドリークの発生が阻止されている。これに対し、アクティブ状態では非選択のビット線とソース線の間には電源電圧 V C C に相当する電位差が形成されているのでスタンバイ状態に比べてサブスレッショルドリーク電流が多くなる。但し、送受信データや転送データに対するデータ処理を引き受けるような機器制御用途等、マイクロコンピュータの用途によっては大半スタンバイ状態で処理待ち状態にされるものがあり、このような用途なども考慮すれば、オンチップの大容量メモリである R O M 3 に対し、スタンバイ状態でもサブスレッショルドリーク電流を抑制することがシステム全体としての低消費電力を実現する上で重要であり、電力消費の低減効果は極めて大きい。

#### 【0046】

図 5 にはチップスタンバイ状態においてメモリセルで生ずるリーク電流が例示される。ビット線 B L とソース線 S L が共に電源電圧 V C C にされるのでソース・ドレイン間のサブスレッショルドリークは生じない。ゲート・ドレイン間と、ゲート・ソース間のゲートリーク電流 ( $I_g$ ) と、基板へのリーク電流 ( $I_{sb}$ ) は僅かながら生ずるが、ソース・ドレイン間のサブスレッショルドリークに比べれば極めて少ない。

#### 【0047】

図 6 には本発明の比較例に係るメモリアレイの部分回路を例示する。ソース線 S L は常時回路の接地電圧 V S S に接続しており、スタンバイ状態においてもビ

ビット線BLとソース線SLには電源電圧VCCの電位差が形成され、メモリアレイではスタンバイ状態及びアクティブ状態の双方でサブスレッショルドリーク電流を生ずる。図7には図6のメモリアレイにおけるリーク電流が示される。ドレイン・ソース間のサブスレッショルドリーク電流 $I_{ds}$ を生じている。但し、アクセス動作速度は図3とほぼ同じである。図8には図6の比較例における動作タイミングが例示される。メモリアレイではスタンバイ状態及びアクティブ状態の双方で常時 $I_{ds}$ 等のリーク電流を生じ、低消費電力の実現は不可能である。

#### 【0048】

図9には本発明の別の比較例に係るメモリアレイの部分回路を例示する。ソース線SLはマイクロコンピュータのアクティブ状態において対応するビット線がビット線選択信号で選択されるのに並行して個別的にディスチャージされる。従って、対応するビット線の選択以外にソース線はビット線と同じレベルにプリチャージされているから、メモリアレイにおけるリーク電流は常時少ない。図5と同様にドレイン・ソース間のサブスレッショルドリークを殆ど生じない。しかしながら、ソース線のディスチャージを待つてワード線を選択して読み出し動作を行うから、図10の動作タイミングで例示されるように、読み出し動作サイクルが図3、図6の例に比べて長くなる。要するにROMの高速アクセスが不可能である。

#### 【0049】

図11には図3の本発明の場合と図6の比較例の場合のスタンバイ時リーク電流削減効果が例示的に示される。本発明の場合にはスタンバイ時のリーク電流が大幅に削減されている。

#### 【0050】

図12には図3の本発明の場合と図9の比較例の場合の動作速度の違いが例示的に示される。本発明の場合にはアクティブ時にビット線及びソース線電位を可変しないので図9の場合に比べて高速アクセス動作可能になる。

#### 【0051】

図13にはソース線のチャージ・ディスチャージ回路の別の例が示される。同図に示されるチャージ・ディスチャージ回路21Aは内部スタンバイ信号 $s_{tb}$

1で制御されるCMOSインバータにより構成される。pチャンネル型MOSトランジスタMP4は比較的長いゲート長を有し、比較的大きなオン抵抗を有する。nチャンネル型MOSトランジスタMN3は比較的大きなゲート幅を有し、比較的小さなオン抵抗を有する。このチャージ・ディスチャージ回路21Aによれば、図14のタイミングチャートに例示されるように、スタンバイ解除遷移状態の期間を短縮できる。但し、ディスチャージのとき回路の接地電圧VSSに過電流が流れるので、それに耐え得る接地電位配線とノイズ対策を特別に施すことが必要である。動作上アクティブ状態からスタンバイ状態への遷移には高速性を要しないからソース線SLに対して低速チャージを行っても充分であり、その分、電源系に対してはチャージ時の過電流対策を要しない。

#### 【0052】

図15にはメモリアレイにおける電位形成回路の別の例が示される。同図において前記電位形成回路19は、チャージ・ディスチャージ回路22によって構成される。チャージ・ディスチャージ回路22はBL1, BL2で代表されるビット線毎に配置される。ソース線SLは夫々回路の接地電圧VSSに常時接続される。図示はしないが複数本のビット線単位でチャージ・ディスチャージ回路22を設けるようにしてもよい。

#### 【0053】

チャージ・ディスチャージ回路22はnチャンネル型MOSトランジスタMN4、pチャンネル型MOSトランジスタMP5及び2入力論理和（オア）ゲートORによって構成される。前記MOSトランジスタMN4は内部スタンバイ信号stb1の反転信号によってスイッチ制御され、スタンバイ状態においてビット線を回路の接地電圧VSSにディスチャージする。アクティブ状態において前記MOSトランジスタMN4はオフ状態にされる。論理和ゲートORは対応するビット線選択信号と内部スタンバイ信号stb1の反転信号を入力し、アクティブ状態（stb1=1）において対応するビット線選択信号が非選択レベル（ローレベル）のとき対応するMOSトランジスタMP5をオン動作させてビット線のプリチャージを行い、ビット線選択信号がビット線選択レベル（ハイレベル）のときはMOSトランジスタMP5をカットオフにしてプリチャージ動作を停止

させる。スタンバイ状態 ( $s t b 1 = 0$ ) において論理和ゲート OR は常に MOS トランジスタ MP5 をカットオフとし、ビット線プリチャージを抑制する。

#### 【0054】

したがって、チャージ・ディスチャージ回路 22 はスタンバイ状態において BL1, BL2 で代表される全てのビット線をソース線 SL と同じ接地電圧にディスチャージする。これによりメモリセル MCi のソース・ドレイン間に電位差が形成されず、その間のサブスレッショルドリークを生じない。特にスタンバイ状態においてワード線は回路の接地電圧 VSS に等しい非選択レベルにされる。よってドレイン・ゲート間のリーク電流の発生も阻止することができる。

#### 【0055】

図3と図15を比べると、図15の場合にはビット線毎に論理和ゲートが必要であるから、電位形成回路19の論理規模が大きくなる。プリチャージ回路220とチャージ・ディスチャージ回路21で構成される図3の電位形成回路19は全体として小さな論理規模で実現することが可能である。この点について更に詳述する。図3の構成ではソース線はアクティブ状態においてディスチャージレベルにされていればよく、途中で電位を変更する必要もないから、スタンバイ時にソース線をビット線のプリチャージ電位に等しくする回路を設けてもアクティブ状態における動作に与える影響はほとんど無く、その回路構成は簡素で済む。換言すれば、従来回路に本発明を適用する場合に、ビット線周りに新たな回路を追加することを要しないため、ビット線周りに負荷変動を生ぜず、再設計の手間を少なくすることができる。一方、図15の場合には、ビット線周りに、スタンバイ状態でビット線ディスチャージの回路構成が付加されるため、従来回路にこれを適用する場合には、ビット線周りの負荷変動を小さく抑える工夫や、動作タイミングマージンの見直しなどが必要になると予想され、スタンバイ時にソース線をビット線プリチャージレベルにチャージする構成に比べて再設計の手間が多くなると予想される。要するに、従来回路に本発明を適用するときに設計変更の手間と追加の論理規模を最小限にするには図3の構成が優れる。

#### 【0056】

図16にはマイクロコンピュータの別の例が示される。同図に示されるマイク



- ・ ロコンピュータ 31 は、特に制限されないが、所謂 IC カードマイコンと称される IC カード用のマイクロコンピュータである。同図に示されるマイクロコンピュータ 31 は、例えば CMOS 半導体集積回路製造技術によって単結晶シリコンなどの 1 個の半導体基板若しくは半導体チップに形成される。

#### 【0057】

マイクロコンピュータ 31 は、CPU 32、ワーク RAM としての RAM (ランダム・アクセス・メモリ) 34、タイマ 35、EEPROM (エレクトリカル・イレーザブル・アンド・プログラマブル・リード・オンリ・メモリ) 36、コプロセッサユニット 37、クロック生成回路 (CPG) 39、マスク ROM (リード・オンリ・メモリ) 40、システムコントローラ 41、入出力ポート (I/O ポート) 42、データバス 43、及びアドレスバス 44 を有する。

#### 【0058】

前記マスク ROM 40 は CPU 32 の動作プログラム (暗号化プログラム、復号プログラム、インタフェース制御プログラム等) 及びデータを格納するのに利用され、図 2 で説明した構成を備える。前記 RAM 34 は CPU 32 のワーク領域又はデータの一時記憶領域とされ、例えば SRAM (スタティック・ランダム・アクセス・メモリ) 若しくは DRAM (ダイナミック・ランダム・アクセス・メモリ) から成る。前記 CPU 32 は、マスク ROM 40 から命令をフェッチし、フェッチした命令をデコードし、デコード結果に基づいてオペランドフェッチやデータ演算を行う。コプロセッサユニット 37 は CPU 32 の制御に従って RSA や楕円曲線暗号演算における剰余演算処理などを行う。I/O ポート 42 は 2 ビットの入出力端子 I/O 1, I/O 2 を有し、データの入出力と外部割り込み信号の入力に兼用される。I/O ポート 42 はデータバス 43 に結合され、データバス 43 には前記 CPU 32、RAM 34、タイマ 35、EEPROM 36、及びコプロセッサユニット 37 等が接続される。マイクロコンピュータ 31 において CPU 32 がバスマスタモジュールとされ、前記 RAM 34、タイマ 35、EEPROM 36、マスク ROM 40 及びコプロセッサユニット 37 に接続されるアドレスバス 44 にアドレス信号を出力可能にされる。システムコントローラ 41 はマイクロコンピュータ 31 の動作モードの制御及び割り込み制御を行い、更

に暗号鍵の生成に利用する乱数発生ロジックを有する。RESはマイクロコンピュータ31に対するリセット信号である。マイクロコンピュータ31はリセット信号RESによってリセット動作が指示されると、内部が初期化され、CPU32はマスクROM40のプログラムの先頭番地から命令実行を開始する。クロック生成回路39は外部クロック信号CLKを受けて内部クロック信号CKを生成する。マイクロコンピュータ931は内部クロック信号CKに同期動作される。

#### 【0059】

前記EEPROM36は、電氣的に消去処理及び書込み処理が可能にされ、個人を特定するために用いられるID情報などのデータを格納する領域として用いられる。EEPROM36に代えてフラッシュメモリ或は高誘電体メモリなどを採用してもよい。

#### 【0060】

システムコントローラ41の制御論理としてスタンバイ制御ロジックが例示される。マイクロコンピュータ31のスタンバイ状態はCPU32がレジスタ操作命令等の所定の命令を実行してスタンバイフラグFLGをセットすることによって指示され、スタンバイフラグFLGをクリアすることによってスタンバイ状態の解除が指示される。スタンバイフラグFLGは代表的に示されたロジック回路LOGの他に、所定のタイミングでCPG39やCPU32などにも供給され、CPG39のクロック発生動作の停止やCPU32の命令実行停止の制御の利用される。

#### 【0061】

前記ロジック回路LOGはクロック信号CKに同期して内部スタンバイ信号stb1、stb2を生成する。内部スタンバイ信号stb1、stb2は図4のタイミングで示されるように変化され、前述と同様に、マスクROM40のメモリアレイ11におけるサブスレッショルドリーク電流低減の制御に利用される。

#### 【0062】

図17にはICカード用マイクロコンピュータ31を用いた接触インタフェース形式のICカード50の外観が例示される。合成樹脂から成るカード基板51には、特に制限されないが、電極パターンによって形成されたインタフェース端

子 52 が表面に露出され、前記図 16 のマイクロコンピュータ 31 が埋め込まれている。前記インタフェース端子 52 の電極パターンにはマイクロコンピュータ 31 の対応する外部端子が結合される。

#### 【0063】

以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

#### 【0064】

例えば、スタンバイ状態はスタンバイ信号などの外部信号が特定の状態にされているとき CPU がスリープ命令等の特定の命令を実行することによって指示されるようにしてもよい。また、プリチャージ回路、チャージ・ディスチャージ回路の具体的な構成は上記に限定されず適宜変更可能である。また、チャージレベルは必ずしも外部電源電圧と等しくなくてもよい。外部電源電圧を降圧して動作電源とする半導体集積回路、複数の分圧電圧を内部動作電源に利用する半導体集積回路にあっては、その様な降圧電圧や分圧電圧をチャージレベルにすることも可能である。また、本発明でサブスレッショルドリーク電流抑止の対象とされるメモリはマスク ROM に限定されない。フラッシュメモリや EEPROM などの電氣的に書換え可能な不揮発性メモリ、更にはその他の記憶形式のメモリにも適用可能である。

#### 【0065】

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるマイクロコンピュータ及び IC カードマイコンに適用した場合について説明したが、本発明はそれに限定されず、通信制御 LSI、特定用途向けのシステム LSI など、種々の半導体集積回路に広く適用することができる。

#### 【0066】

##### 【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

#### 【0067】

すなわち、スタンバイ状態においてビット線とソース線の電位を等しくするから、メモリセルにはソース・ドレイン間のサブスレッショルドリークを一切生じない。アクティブ状態では前記ビット線とソース線との間に電位差が形成され、メモリセルの選択・非選択に応じて前記ビット線とソース線との間に電位差を形成するよう制御手法を採用しないからメモリのデータ読出し動作速度も遅くならない。

#### 【0068】

スタンバイ時にソース線をビット線のプリチャージ電位に等しくする場合、スタンバイ状態からアクティブ状態への指示に応答してソース線をディスチャージし、段階的にディスチャージ速度が速くなるようにその電流供給能力を変化させれば、ソース線に一度に多くのメモリセルから電流が集中的に流れる事態を防止でき、比較的大きなノイズの発生を防止することができる。

#### 【図面の簡単な説明】

##### 【図1】

本発明に係る半導体集積回路のマイクロコンピュータを例示するブロック図である。

##### 【図2】

マイクロコンピュータに搭載されたROMの詳細を例示するブロック図である。

##### 【図3】

メモリアレイと電位形成回路の詳細としてグローバルビット線1ビット分の構成を部分的に例示する回路図である。

##### 【図4】

図2のROMの動作タイミングを例示するタイミングチャートである。

##### 【図5】

スタンバイ状態においてメモリセルで生ずるリーク電流を例示する説明図である。

##### 【図6】

本発明の比較例に係るメモリアレイの一部を例示する回路図である。

**【図 7】**

図 6 のメモリアレイにおけるリーク電流を示す説明図である。

**【図 8】**

図 6 の比較例における動作タイミングを例示するタイミングチャートである。

**【図 9】**

本発明の別の比較例に係るメモリアレイの一部を例示する回路図である。

**【図 10】**

図 10 の動作タイミングを例示するタイミングチャートである。

**【図 11】**

図 3 の本発明の場合と図 6 の比較例の場合のスタンバイ時リーク電流削減効果を例示的に示す説明図である。

**【図 12】**

図 3 の本発明の場合と図 9 の比較例の場合の動作速度の違いを例示的に示す説明図である。

**【図 13】**

ソース線のチャージ・ディスチャージ回路の別の例を示す回路図である。

**【図 14】**

図 14 の動作タイミングを例示するタイミングチャートである。

**【図 15】**

メモリアレイにおける電位形成回路の別の例を示す回路図である。

**【図 16】**

マイクロコンピュータの別の例である IC カードマイコンを示すブロック図である。

**【図 17】**

IC カード用マイクロコンピュータを用いた接触インタフェース形式の IC カードの外観を例示する平面図である。

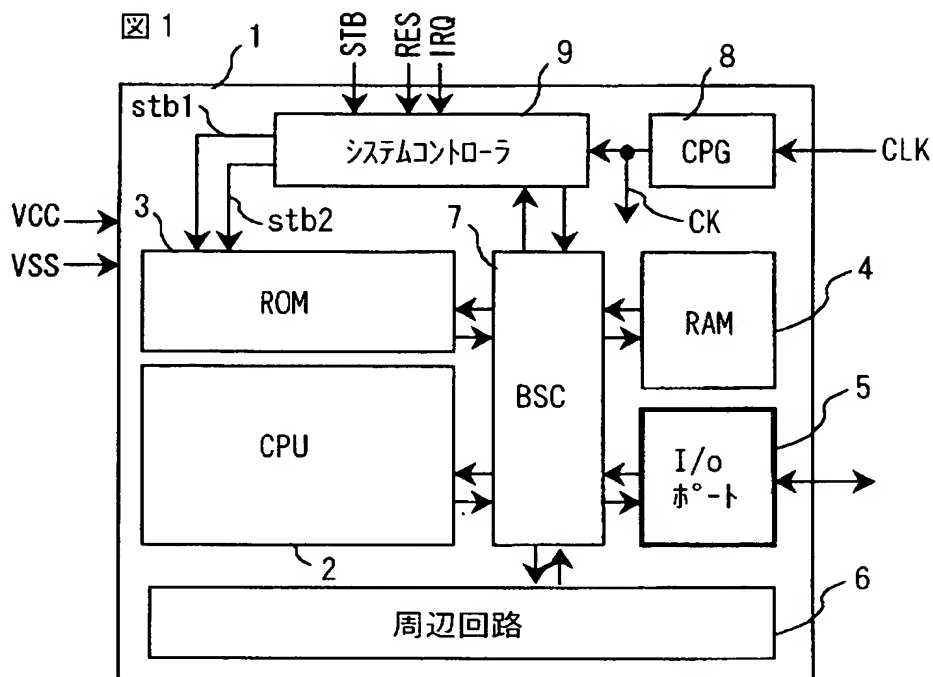
**【符号の説明】**

- 1 マイクロコンピュータ
- 2 CPU

3 ROM  
4 RAM  
8 クロック発生回路  
9 システムコントローラ  
STB 外部スタンバイ信号  
stb1, stb2 内部スタンバイ信号  
11 メモリアレイ  
19 電位形成回路  
BS ROMのモジュール選択信号  
MCi, MCj メモリセル  
BL、BL1, BL2 ビット線  
GBL グローバルビット線  
SL, SL1, SL2 ソース線  
WL ワード線  
20 プリチャージ回路  
21 チャージ・デイスチャージ回路  
GBL グローバルビット線  
YS1, YS2 ビット線選択信号  
22 チャージ・デイスチャージ回路  
31 マイクロコンピュータ  
32 CPU  
40 マスクROM  
41 システムコントローラ  
FLG スタンバイフラグ  
LOG ロジック回路  
50 ICカード  
51 カード基板  
52 インタフェース端子

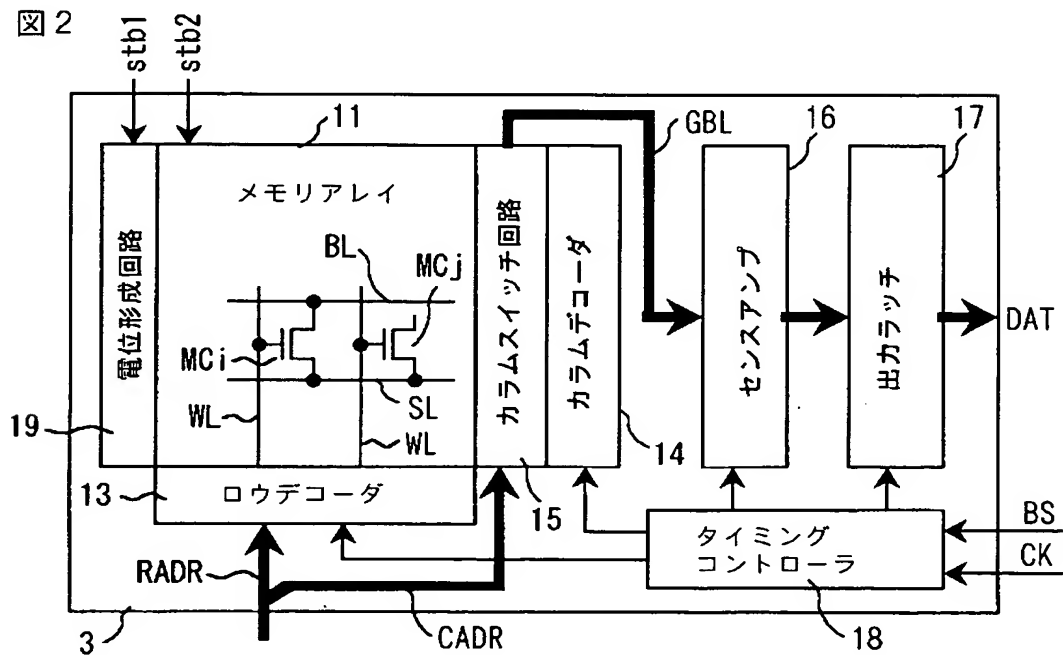
【書類名】 図面

【図 1】



【図 2】

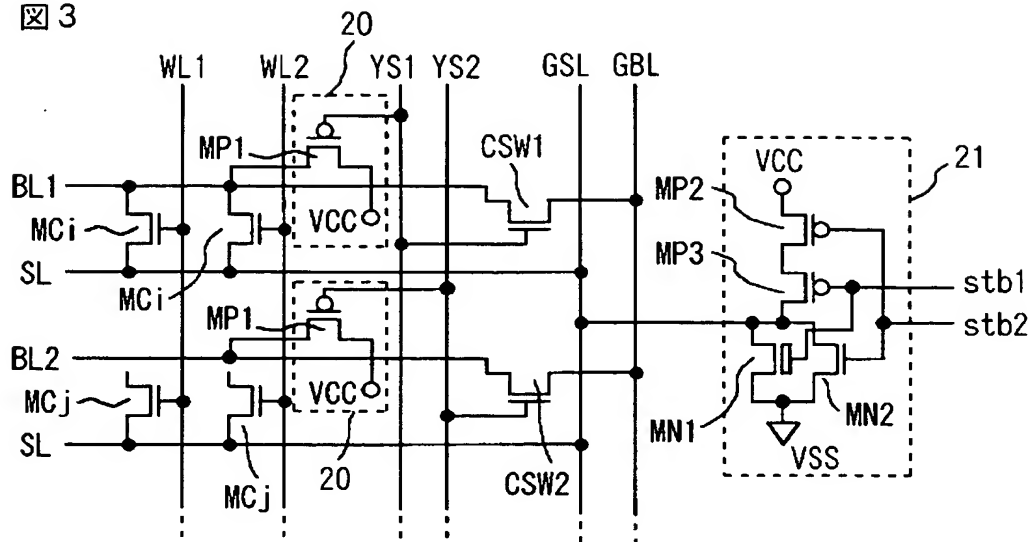
图 2



BEST AVAILABLE COPY

【図 3】

图 3

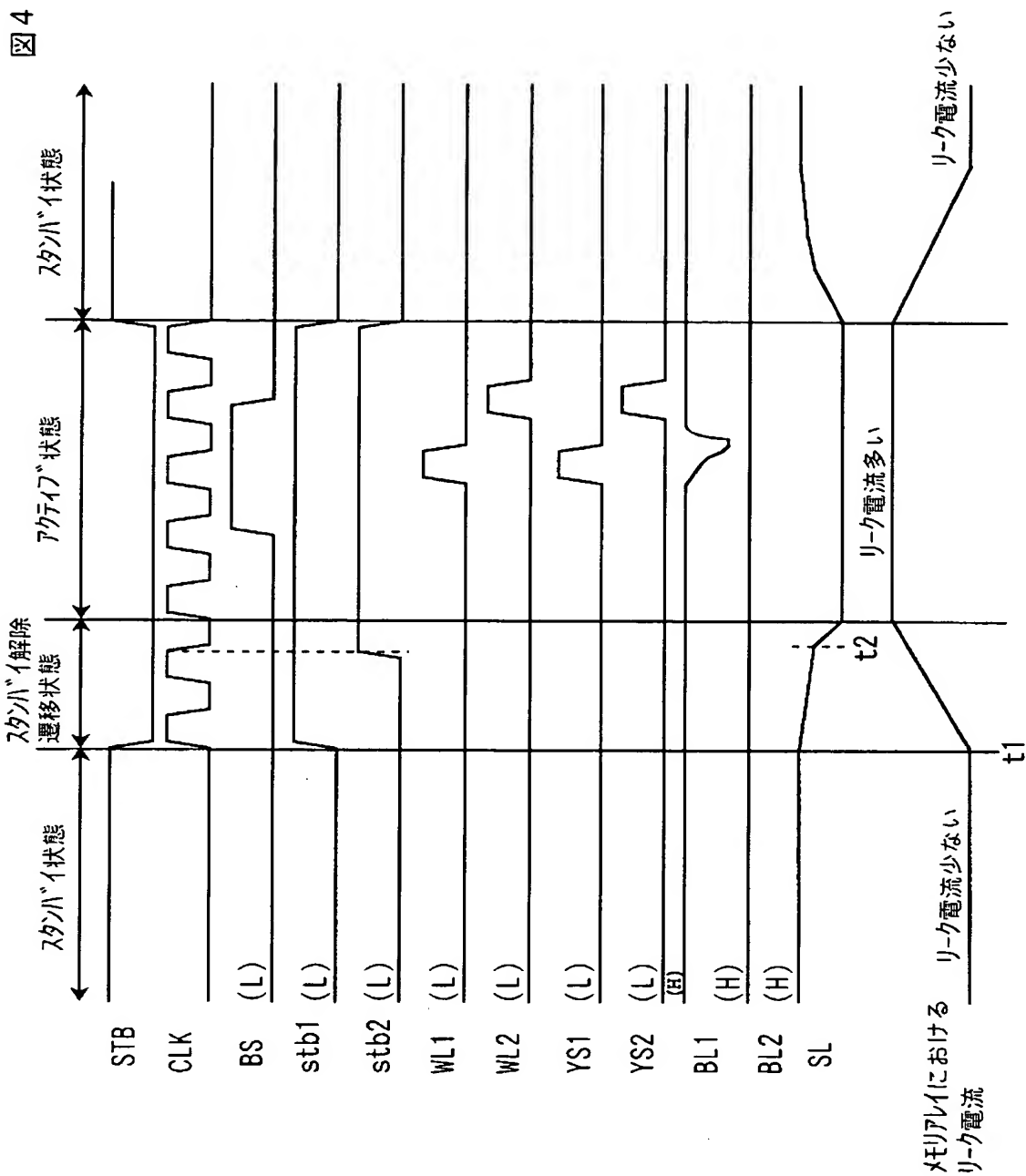


BEST AVAILABLE COPY



【図 4】

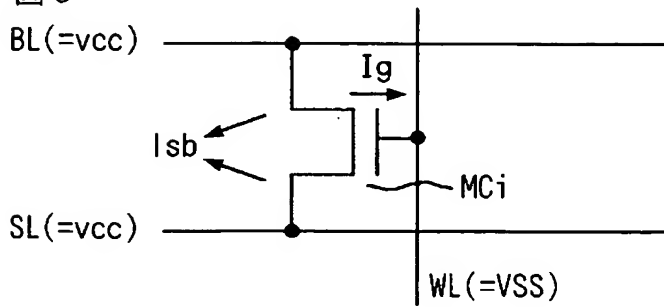
図 4



BEST AVAILABLE COPY

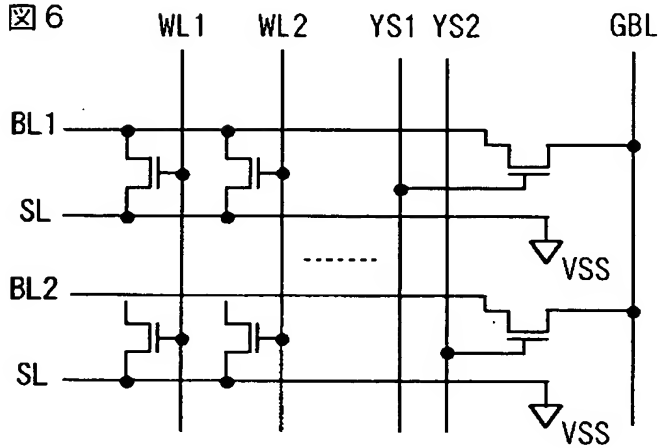
【図 5】

図 5



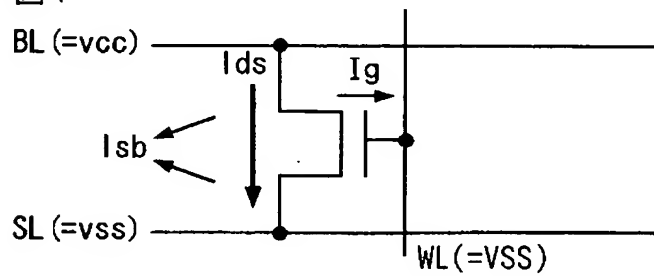
【図 6】

図 6



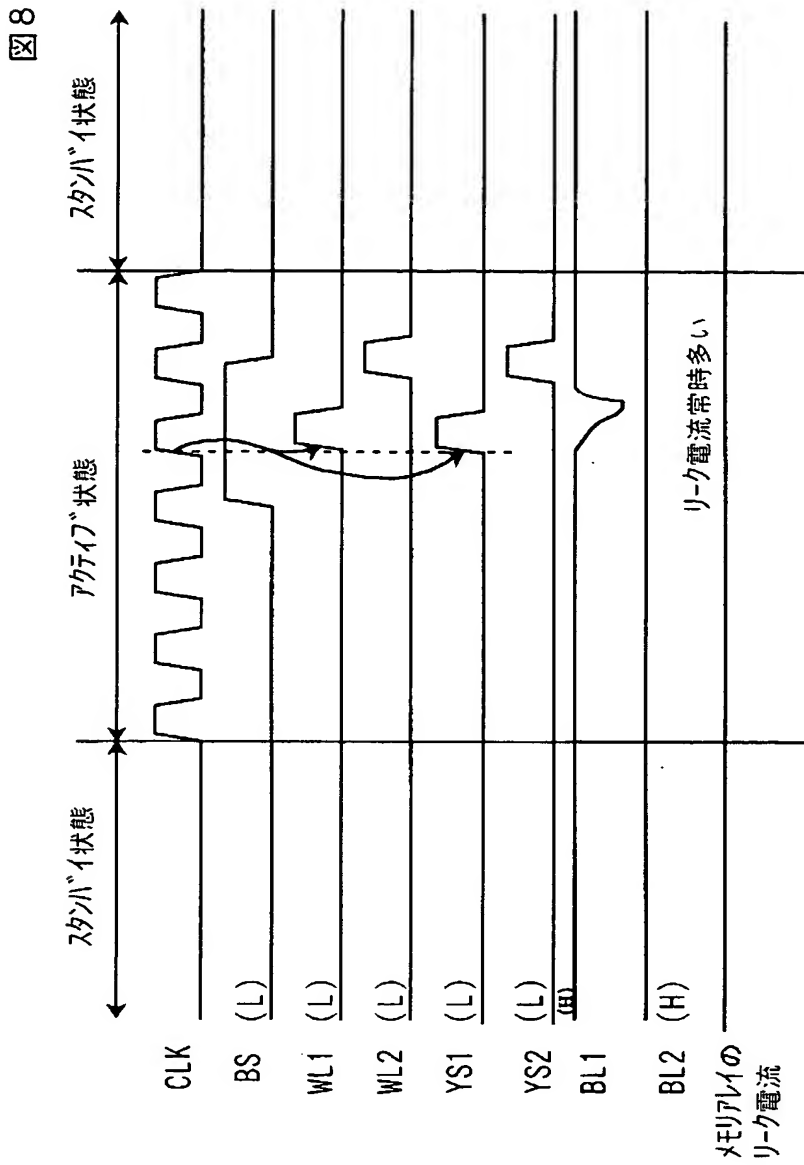
【図 7】

図 7



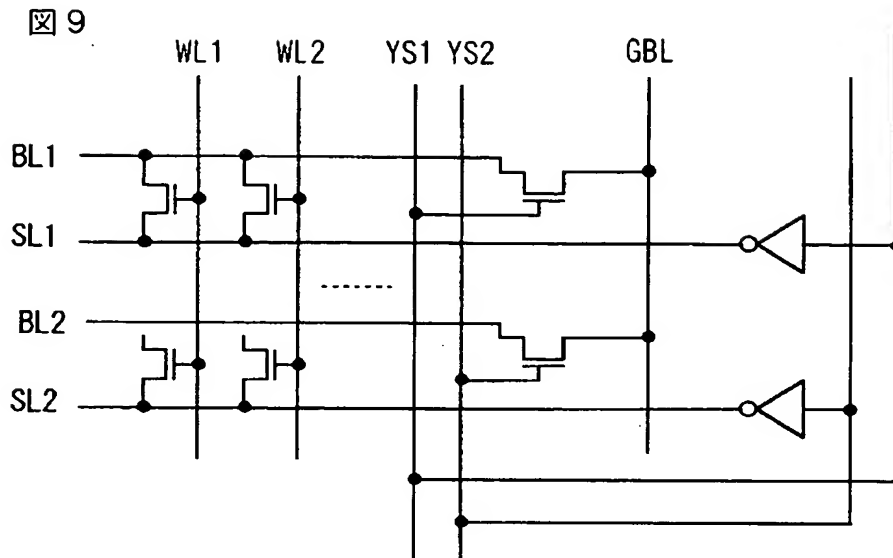
BEST AVAILABLE COPY

【図 8】



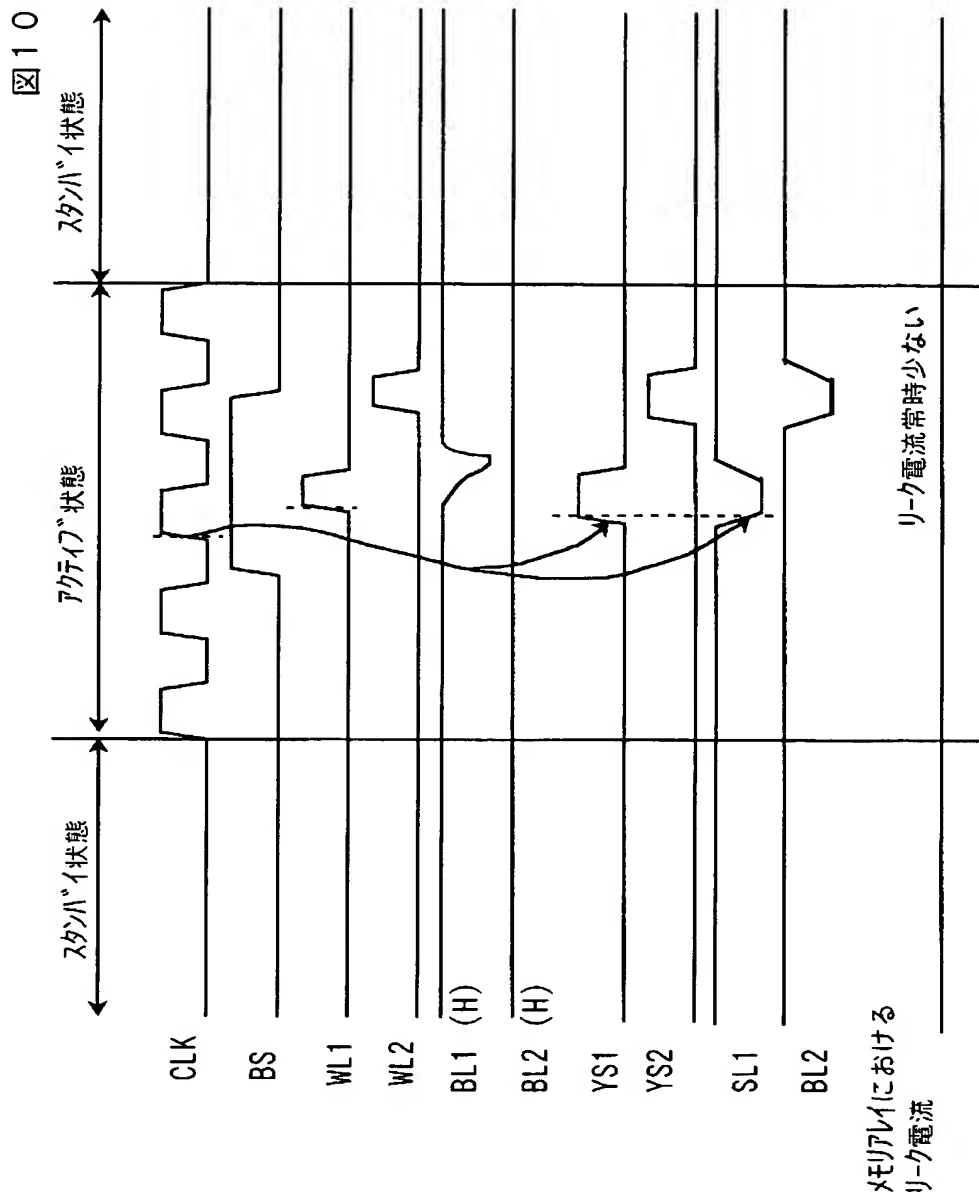
BEST AVAILABLE COPY

【図 9】



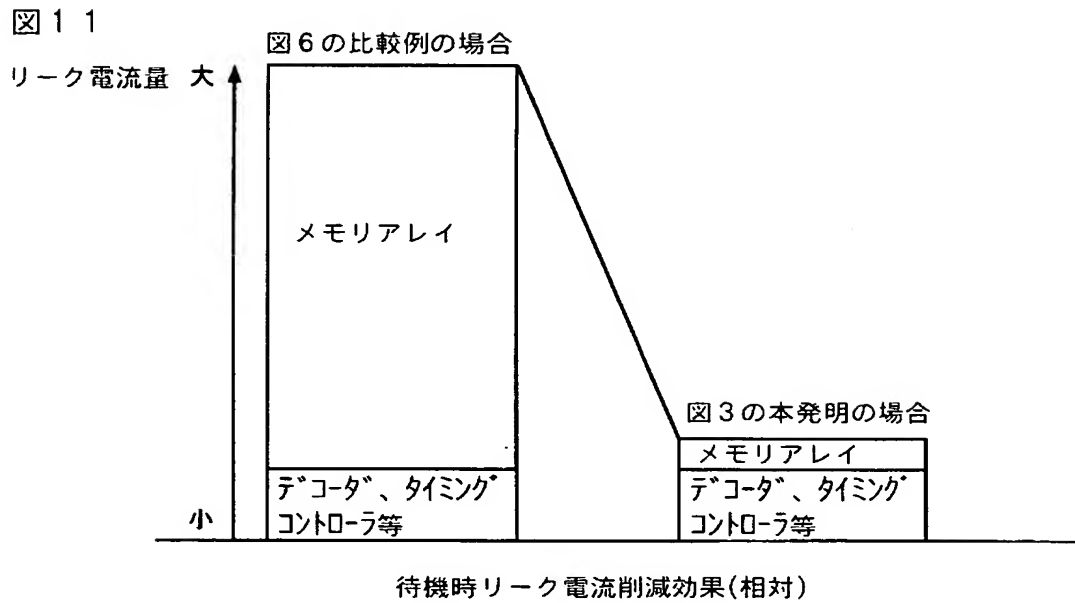
BEST AVAILABLE COPY

【図 10】

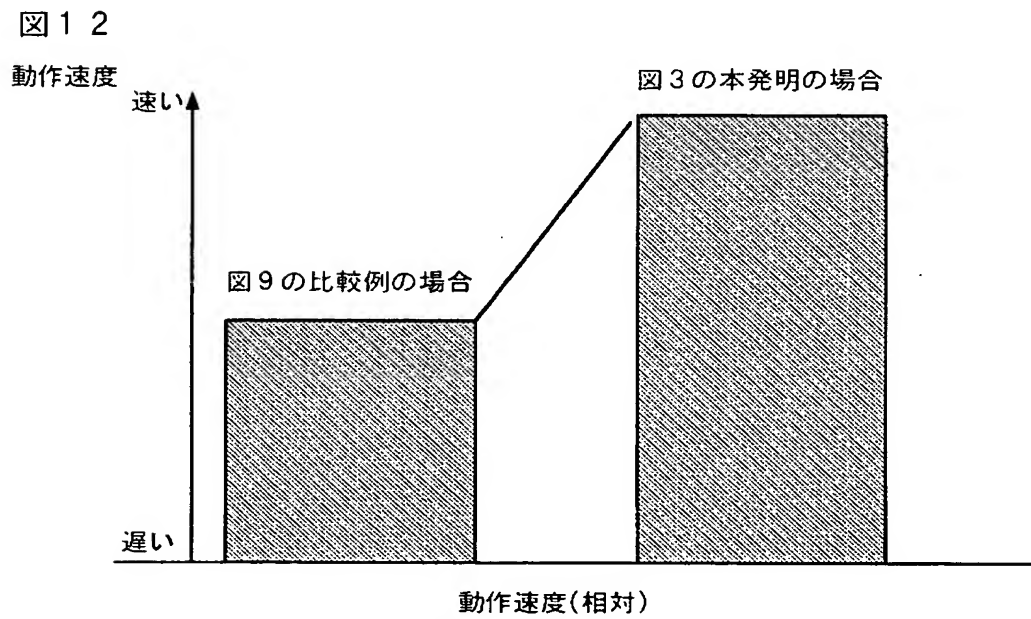


BEST AVAILABLE COPY

【図 11】

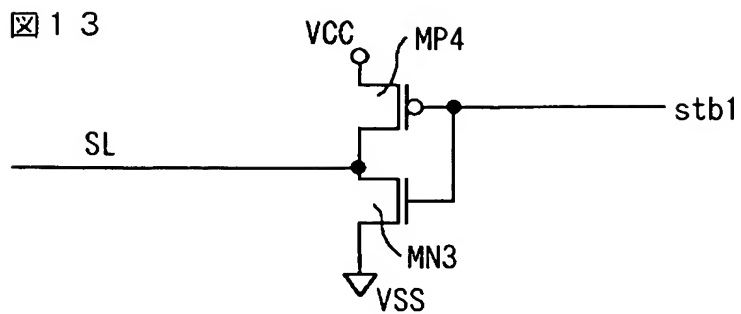


【図 12】

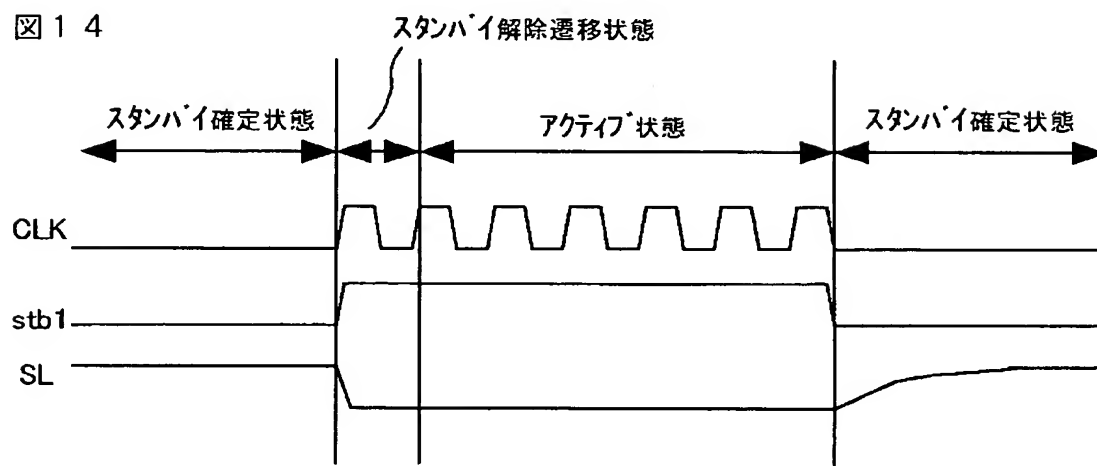


BEST AVAILABLE COPY

【図 13】

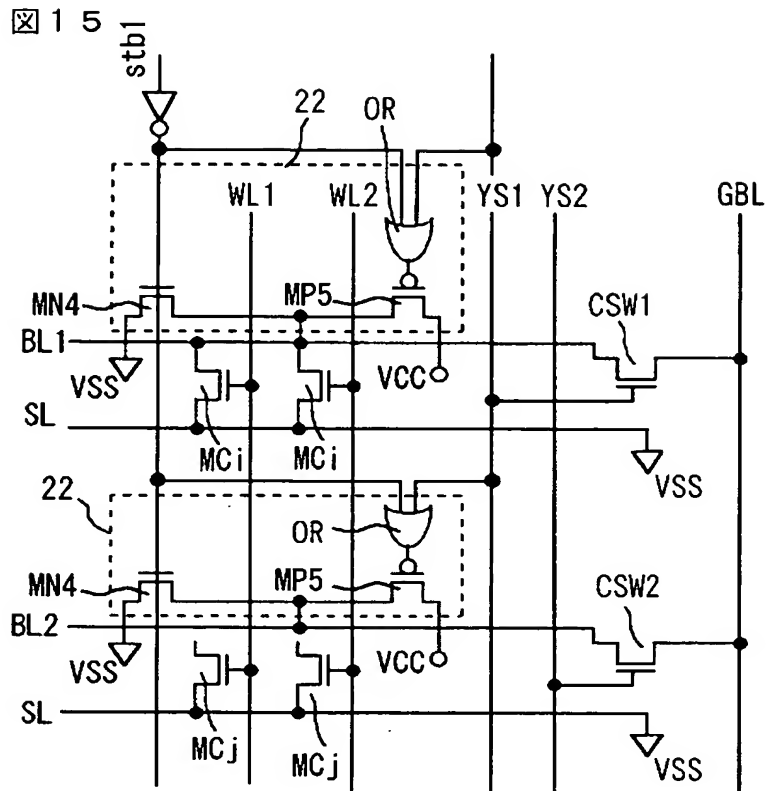


【図 14】



BEST AVAILABLE COPY

【図 15】



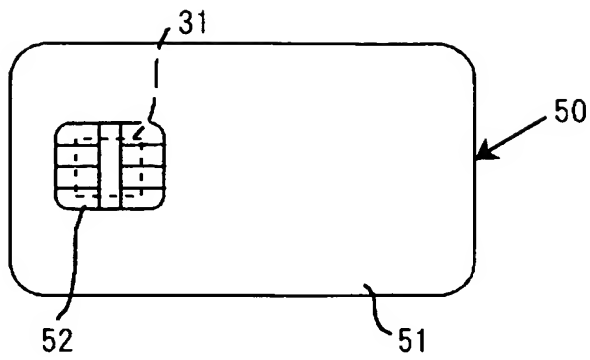
BEST AVAILABLE COPY





【図 17】

図 17



BEST AVAILABLE COPY

【書類名】 要約書

【要約】

【課題】 メモリのデータ読出し動作速度を遅くすることなく、スタンバイ状態でのメモリで無駄に消費される電力を低減する。

【解決手段】 アクティブ状態又はスタンバイ状態を採り得るメモリを有し、メモリはメモリセルが接続されるビット線（B L 1， B L 2）とソース線（S L）に対する電位形成回路（2 0， 2 1）を有する。電位形成回路は、アクティブ状態からスタンバイ状態への指示に応答して前記ビット線とソース線の電位を等しくし、スタンバイ状態からアクティブ状態への指示に応答して前記ビット線とソース線との間に電位差を形成する。スタンバイ状態においてビット線とソース線の電位が等しいから、メモリセルにソース・ドレイン間のサブスレッショルドリークを生じない。アクティブ状態ではソース線電位を変化させないからデータ読出し動作速度も遅くならない。

【選択図】 図 3

【書類名】 出願人名義変更届（一般承継）

【あて先】 特許庁長官 殿

【事件の表示】

【出願番号】 特願2003- 16573

【承継人】

【識別番号】 503121103

【氏名又は名称】 株式会社ルネサステクノロジ

【承継人代理人】

【識別番号】 100089071

【弁理士】

【氏名又は名称】 玉村 静世

【提出物件の目録】

【包括委任状番号】 0308734

【物件名】 承継人であることを証明する登記簿謄本 1

【援用の表示】 特許第 3 1 5 4 5 4 2 号 平成 1 5 年 4 月 1 1 日付け  
提出の会社分割による特許権移転登録申請書 を援用  
する

【物件名】 権利の承継を証明する承継証明書 1

【援用の表示】 特願平 2 - 3 2 1 6 4 9 号 同日提出の出願人  
名義変更届（一般承継）を援用する

【プルーフの要否】 要

認定・付加情報

特許出願の番号	特願 2003-016573
受付番号	50301210824
書類名	出願人名義変更届 (一般承継)
担当官	小野寺 光子 172.1
作成日	平成15年10月 7日

<認定情報・付加情報>

【提出日】 平成15年 7月23日

特願 2 0 0 3 - 0 1 6 5 7 3

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 5 1 0 8 ]

1. 変更年月日

1 9 9 0 年 8 月 3 1 日

[変更理由]

新規登録

住 所

東京都千代田区神田駿河台 4 丁目 6 番地

氏 名

株式会社日立製作所

特願 2 0 0 3 - 0 1 6 5 7 3

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 2 3 3 1 6 9 ]

1. 変更年月日  
[変更理由]

1 9 9 8 年 4 月 3 日  
名称変更

住 所  
氏 名

東京都小平市上水本町 5 丁目 2 2 番 1 号  
株式会社日立超エル・エス・アイ・システムズ

特願 2 0 0 3 - 0 1 6 5 7 3

出 願 人 履 歴 情 報

識別番号

[ 5 0 3 1 2 1 1 0 3 ]

1. 変更年月日

2 0 0 3 年 4 月 1 日

[変更理由]

新規登録

住 所

東京都千代田区丸の内二丁目 4 番 1 号

氏 名

株式会社ルネサステクノロジ